

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-240651

(43)公開日 平成7年(1995)9月12日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 H 7/075

A 8321-5 J

H 0 1 F 27/00

H 0 1 G 4/40

8123-5 E

H 0 1 F 15/ 00

D

9174-5 E

H 0 1 G 4/ 40

3 2 1 A

審査請求 未請求 請求項の数1 O L (全 4 頁)

(21)出願番号

特願平6-28126

(22)出願日

平成6年(1994)2月25日

(71)出願人 000006264

三菱マテリアル株式会社

東京都千代田区大手町1丁目5番1号

(72)発明者 内田 彰

埼玉県秩父郡横瀬町大字横瀬2270番地 三

菱マテリアル株式会社セラミックス研究所

内

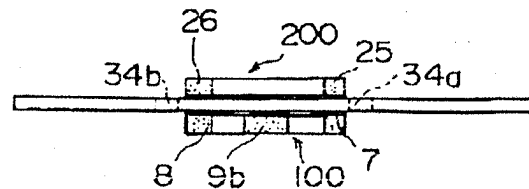
(74)代理人 弁理士 小杉 佳男 (外2名)

(54)【発明の名称】 バイ形フィルタ

(57)【要約】

【目的】 本発明は、電子機器のノイズ対策等に用いられるバイ形フィルタに関し、実装密度を向上させる。

【構成】 回路基板30の表面30Aと裏面30Bの対応する位置に、フェライトチップビーズ200と、コンデンサ素子が2素子内蔵されたチップコンデンサ100を配置してスルーホール34a、34bで互いに接続した。



【特許請求の範囲】

【請求項1】 回路基板と、

前記回路基板の一面に搭載された、複数のコンデンサ素子を内蔵してなるチップコンデンサと、
前記回路基板の他面に搭載された、該回路基板のスルーホールを介して前記チップコンデンサと接続され前記複数のコンデンサ素子と共にバイ形フィルタ回路を形成してなるインダクタを内蔵したフェライトチップビーズとを備えたことを特徴とするバイ形フィルタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電子機器のノイズ対策等に用いられるバイ形フィルタに関する。

【0002】

【従来の技術】 従来、電子機器の高周波ノイズ対策用としてコンデンサ、フェライトビーズ、T形EMIフィルタ等の電子部品が販売されているが、バイ(π)形のEMIフィルタは販売されていない。これはバイ形EMIフィルタの需要がないという理由ではなく、コンデンサを構成する誘電体とフェライトビーズを構成する磁性体を積層して同時に焼成すると誘電体と磁性体との収縮率の相違によりクラックが発生してしまう等、製造上の困難性やコスト等の理由によるものである。このため、従来バイ形ノイズフィルタが必要な場合は、基板に2個のコンデンサと1個のフェライトビーズを配置してそれにより構成されるバイ形フィルタを使用していた。

【0003】

【発明が解決しようとする課題】 このため、上記のように基板上に2個のコンデンサと1組のフェライトビーズを配置してバイ形フィルタを構成するのでは基板実装密度を上げられないという問題を抱えていた。本発明は、上記事情に鑑み、実装密度を向上させたバイ形フィルタを提案することを目的とする。

【0004】

【課題を解決するための手段】 上記目的を達成する本発明のバイ形フィルタは、

(1) 回路基板

(2) その回路基板の一面に搭載された、複数のコンデンサ素子を内蔵してなるチップコンデンサ

(3) その回路基板の他面に搭載された、回路基板のスルーホールを介してチップコンデンサと接続され上記複数のコンデンサ素子と共にバイ形フィルタ回路を形成してなるインダクタを内蔵したフェライトチップビーズを備えたことを特徴とする。

【0005】

【作用】 本発明のバイ形フィルタは、上記のように回路基板を挟んだ一方に複数のコンデンサ素子を内蔵するチップコンデンサを配置し、他方にフェライトチップビーズを配置してバイ形フィルタを構成したため、コンデンサ1個分の実装密度を上げることができ、また回路基板

の両面を使うことで小さくまとまったバイ形フィルタが構成される。

【0006】

【実施例】 以下、本発明の実施例について説明する。図1は、2つのコンデンサ素子が内蔵されたチップコンデンサの各グリーンシートを示した図、図2はその外観斜視図、図3はその等価回路図である。ここでは図示の4枚のグリーンシート1~4が用意される。それらのグリーンシート1~4はポリエステルのベースシートに誘電体スラリーをドクターブレード法により印刷し乾燥することにより形成される。ここで用いた誘電体材料は、 PbO 、 La_2O_3 、 ZrO_2 、 TiO_2 を湿式混合し、 $1150^{\circ}C$ で2時間焼成後湿式ミルで粉砕した平均粒径 $0.1\mu m$ の粉体であり、 $Pb_{0.88}La_{0.12}Zr_{0.7}Ti_{1.0}O_{6.88}$ の組成を有するものである。

【0007】 それら4枚のグリーンシート1~4のうち、グリーンシート2、3には、誘電体を印刷乾燥した後、さらに、それぞれ図示の形状となるように、導電性ペーストをドクターブレード法により印刷、乾燥し、これにより内部電極5、6a、6bが形成される。これらの内部電極5、6a、6bのうち誘電体を挟む内部電極5、6aのペア、内部電極5、6bのペアにより、それぞれ、図3に示す等価回路中のコンデンサ素子10、11が構成される。

【0008】 以上のようにして形成された4枚のグリーンシート1~4が互いに積層され、熱圧着により一体化された後、 $1300^{\circ}C$ で1時間焼成され、焼結体が得られる。その焼結体をバレル研磨してその焼結体の側面から内部電極5、6a、6bを露出させ、それら内部電極5、6a、6bが露出した部分にAgを主成分とした導電性ペーストを塗布し、これにより、図2に示すように内部電極6a、6bとそれぞれ接続された電極7、8および内部電極5と接続された電極9a、9bを形成する。これにより、コンデンサ素子が2素子内蔵された図2に示す形状のチップコンデンサが完成する。

【0009】 図4は、フェライトチップビーズの各グリーンシートを示した図、図5はその外観斜視図、図6はその等価回路図である。ここでは図示の3枚のグリーンシート21~23が用意される。それらのグリーンシート21~23はポリエステルのベースシートに磁性体スラリーをドクターブレード法により印刷し乾燥することにより形成される。ここで用いた磁性体材料は、 NiO 、 ZnO 、 CuO 、 Fe_2O_3 を湿式混合し、 $1000^{\circ}C$ で2時間焼成後、湿式ミルで粉砕した平均粒径 $0.1\mu m$ の粉体であり、 $Ni_{0.14}Zn_{0.22}Cu_{0.06}Fe_{0.98}O_{1.88}$ の組成を有するものである。

【0010】 それら4枚のグリーンシート21~23のうち、グリーンシート22には、磁性体を印刷、乾燥した後、さらに図示の形状となるように、導電性ペーストをドクターブレード法により印刷、乾燥し、これにより

3

内部電極24が形成される。この内部電極24はその周囲が磁性体で囲まれ、図6に等価回路とに示すインダクタ素子27を構成する。

【0011】以上のようにして形成された3枚のグリーンシート21~23が互いに積層され、熱圧着により一体化された後、870℃2時間焼成され、焼結体を得られる。その焼結体をパレル研磨してその焼結体の側面から内部電極24を露出させ、内部電極24が露出した部分にAgを主成分とした導電性ペーストを塗布し、これにより、図5に示すように、内部電極5と接続された電極25、26を形成する。これにより、インダクタ素子が内蔵された図5に示す形状のフェライトチップビーズが完成する。

【0012】図7~図9は、回路基板上にチップコンデンサ100とフェライトチップビーズを配置した状態を示す、それぞれ、平面図、側面図、裏面図である。回路基板30の表面30Aには図示の形状の信号用導体パターン31a、31bが形成され、裏面30Bには、図示の形状の、信号用導体パターン32a、32b、およびグランド用導体パターン33a、33bが形成されている。表面30Aの各信号用導体パターン31a、31bと裏面30Bの各信号用導体パターン32a、33bは、回路基板30に穿設された各スルーホール34a、34b内に充填された導体により、互いに接続されている。回路基板30の表面30Aには、2つの信号用導体パターン32a、32bに跨るようにフェライトチップビーズ200が配置され、各電極25、26と各信号用導体パターン32a、32bがそれぞれ半田接続されている。また回路基板30の裏面30Bには、2つの信号用パターン32a、32bと2つのグランド用導体パターン33a、33bに跨るように2素子チップコンデンサ100が配置され、各電極7、8が各信号用導体パターン32a、32bにそれぞれ半田接続されるとともに、各電極9a、9bが各グランド用導体パターン33a、33bにそれぞれ半田接続されている。

【0013】図10は、図7~図9に示すように接続されたチップコンデンサ100とフェライトチップビーズ200の等価回路図である。チップコンデンサ100に内蔵された2つのコンデンサ素子10、11どうしの間に、フェライトチップビーズ200に内蔵されたインダクタ素子27が配置され、全体としてバイ形フィルタ回路が形成されている。

【0014】この実施例に示すように、回路基板30の

4

表面30Aと裏面30Bの対応する位置に、フェライトチップビーズ200とチップコンデンサ100を配置してスルーホール34a、34bで互いに接続したため、コンデンサ2個とフェライトビーズ1個の3素子を回路基板に配置する場合と比べ、コンデンサ1個分の実装スペースが不要であると共に、回路基板の表裏を利用しコンパクトにまとまったバイ形フィルタが形成される。

【0015】

【発明の効果】以上説明したように、本発明によれば、実装密度の高いバイ形フィルタが構成される。

【図面の簡単な説明】

【図1】図1は、2つのコンデンサ素子が内蔵されたチップコンデンサの各グリーンシートを示した図である。

【図2】チップコンデンサの外観斜視図である。

【図3】チップコンデンサの等価回路図である。

【図4】フェライトチップビーズの各グリーンシートを示した図である。

【図5】フェライトチップビーズの外観斜視図である。

【図6】フェライトチップビーズの等価回路図である。

【図7】回路基板上にチップコンデンサとフェライトチップビーズを配置した状態を示す平面図である。

【図8】回路基板上にチップコンデンサとフェライトチップビーズを配置した状態を示す側面図である。

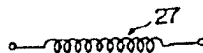
【図9】回路基板上にチップコンデンサとフェライトチップビーズを配置した状態を示す裏面図である。

【図10】図7~図9に示すように接続されたチップコンデンサとフェライトチップビーズの等価回路図である。

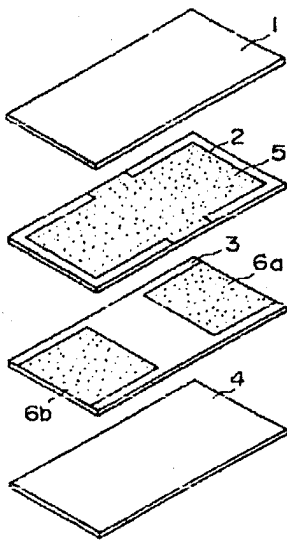
【符号の説明】

- 1, 2, 3, 4, 21, 22, 23 グリーンシート
- 5, 6a, 6b, 24 内部電極
- 7, 8, 9a, 9b, 25, 26 電極
- 10, 11 コンデンサ素子
- 27 インダクタ素子
- 30 回路基板
- 30A 回路基板の表面
- 30B 回路基板の裏面
- 31a, 31b, 32a, 32b 信号用導体パターン
- 33a, 33b グランド用導体パターン
- 34a, 34b スルーホール
- 100 チップコンデンサ
- 200 フェライトチップビーズ

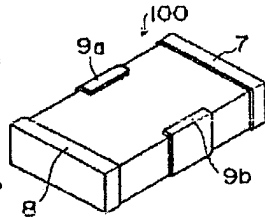
【図6】



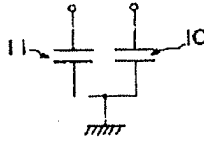
【図1】



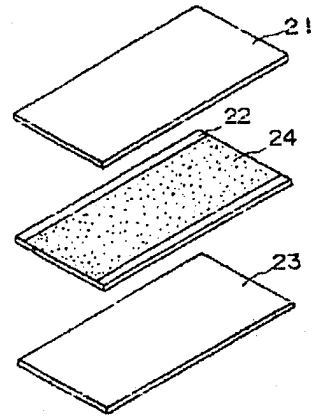
【図2】



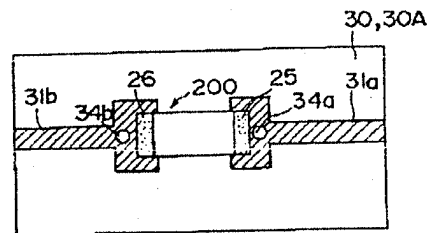
【図3】



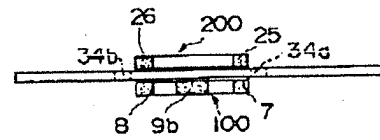
【図4】



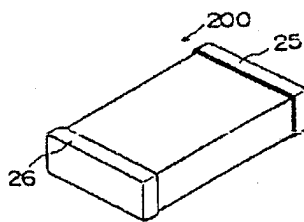
【図7】



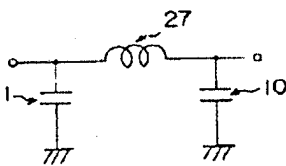
【図8】



【図5】



【図10】



【図9】

